

平板电视数字视频后处理芯片的设计与实现

葛晨阳, 郑南宁, 任鹏举, 冯耀

(西安交通大学人工智能与机器人研究所, 710049, 西安)

摘要: 针对我国平板显示器件数字视频处理技术及芯片开发的需求, 提出一种新结构的数字视频后处理芯片 DTV100 的设计方案及其关键技术指标. 采用高效的 SDRAM 控制器实时地完成三维视频降噪、去隔行、帧频提升和运动补偿消锯齿、电影模式处理. 提出了一种基于运动边缘检测的三维自适应降噪算法和基于双线性插值的视频缩放算法的硬件实现方法, 该方法具有结构简单、硬件资源开支少、性能稳定的特点. 依照规范的芯片设计流程, 采用 $0.25\ \mu\text{m}$ CMOS 工艺实现数字视频处理专用集成电路. 与同类芯片的比较实验表明, 该芯片性价比高. 不同降噪因子的三维降噪功能测试表明, 该芯片功能正常, 达到了预期的技术指标.

关键词: 数字视频; 自适应降噪; 视频缩放

中图分类号: TN941.3 **文献标志码:** A **文章编号:** 0253-987X(2008)10-1285-05

Design and Implement of Flat Panel TV Digital Video Post-Process Chip

GE Chenyang, ZHENG Nanning, REN Pengju, FENG Yao

(Institute of Artificial Intelligence and Robotics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: According to the need of developing digital video processing technology and chip for flat panel device, a designing scheme using innovative architecture of digital video post-process chip DTV100 and key technology indices are presented. 3D denoise, deinterlace, frame rate up and motion compensation desawtooth, movie mode disposal are implemented by one high efficient SDRAM controller in real time. A hardware implementing algorithm for video scaling based on bilinear interpolation and a 3D adaptive denoise algorithm based on motion detection and edge detection are presented. The proposed scheme has the characteristics of simple architecture, saving hardware resources and steady performance. Following the normative chip design flow, the digital video processing chip is implemented by application specific integrated circuit using $0.25\ \mu\text{m}$ CMOS technology. Comparison with similar chips shows that the chip is low cost. Function tests of 3D denoise with different denoise factor show that the chip has normal function and attains the expected technology indices.

Keywords: digital video; adaptive denoise; video scaling

平板显示器件具有高清晰度、大尺寸、外观轻薄等特点, 已成为液晶电视、等离子电视等显示终端的主要载体. 在模拟电视逐步被数字电视取代、传统的阴极射线管(CRT)彩电被大而薄的平板电视取代

的发展过程中, 中国彩电厂商由于未能把握住数字电视技术变革的机遇, 缺乏对平板电视核心技术(如显示面板、核心芯片)的掌握^[1], 因此目前市场上的平板电视的数字视频后处理芯片基本上是从欧美、

日韩、台湾等地的大公司进口. 西安交通大学是国内最早提出和从事视频处理芯片研发的单位^[2], 曾研制成功中国第一颗自主知识产权的视频扫描格式转换芯片, 并正在逐步推进其应用. 青岛海信在同西安交大合作开发数字化电视整机的基础上, 研制出型号为“信芯”的数字视频处理芯片^[3-4]. 上海交大^[5-6]、浙江大学在视频处理芯片算法层面上也做了一些研究工作. 截至目前, 我国在平板电视领域还未实现自主数字视频后处理芯片的批量应用. 针对我国平板显示器件数字视频处理技术及芯片开发的需求, 本文从芯片结构、关键技术、芯片验证与实现这3个方面, 设计实现了一款适用于大屏幕平板电视的高性价比的数字视频后处理芯片 DTV100.

1 芯片结构

数字视频后处理芯片 DTV100 的主要功能: 通过数字视频和图像处理技术, 对普通视频 PAL/NTSC 信号、高清 YPbPr 信号和计算机视频信号实现扫描格式转换^[7]、三维降噪、帧频提升^[8]、运动补偿消锯齿、视频缩放和画质改善、嵌入式图形 OSD (On Screen Display) 引擎和微处理器等功能, 从而实现了多种信号源到平板显示器件之间的无缝连接, 消除了电视画面的大屏幕闪烁和色串现象, 提升了电视画面品质和主观清晰度^[9]. 图 1 为 DTV100 芯片结构框图.

DTV100 芯片仅用外部一片 32 位 64 Mb 的 SDRAM, 通过内部高效的 SDRAM 控制器实时地完成视频三维降噪、去隔行、帧频提升、运动补偿消锯齿和 3:2 下拉电影模式的识别与处理, 不仅减少了芯片的 I/O 管脚, 也使得应用该芯片的系统成本大幅降低.

DTV100 芯片的主要技术指标^[9]: ① 支持 ITU656 格式数字 YUV 隔行信号、数字高清 YPbPr 信号和计算机视频信号输入; ② 帧频变换, 输入制式归一化为 60 Hz 逐行扫描输出; ③ 三维自适应

降噪; ④ 自适应运动补偿消锯齿; ⑤ 电影模式自动检测和 3:2 下拉处理; ⑥ 支持水平和垂直方向独立进行视频图像缩放; ⑦ 高画质处理功能, 包括细节增强、伽玛校正、色度瞬态特性改善等; ⑧ 嵌入式图形 OSD 引擎, MCU 8051 核; ⑨ 芯片自测试和对比演示功能.

2 关键技术

2.1 三维自适应降噪技术

为降低电视画面中的高斯噪声和色串现象, 提出了一种三维自适应递归降噪及硬件实现方法. 图 2 为数字视频降噪处理器原理框图^[10].

三维降噪原理: 利用 SDRAM 存储前一帧的图像数据, 通过当前帧与前一帧图像数据(已降噪处理过)比较得到帧差信号. 视频输入预处理模块对噪声水平进行检测, 其检测结果用于控制自适应降噪因子 k 的大小. 运动检测器利用帧差信号对当前帧图像进行运动和静止部分的区分, 边缘检测器检测当前帧图像的细节部分, 检测结果用于控制自适应降噪因子 k 的大小. 输入帧数据 D_{in} 与反馈帧数据 D_{fd} , 通过自适应降噪因子 k 进行加权平均, 得到结果数据 D_{out} , 该数据输出的同时将重新存入 SDRAM 存储器, 其原理可表示为

$$D_{out} = kD_{in} + (1-k)D_{fd} \quad (1)$$

算法的硬件实现框图见图 3. 采用行存作为输入帧和从 SDRAM 读出的反馈帧数据进行流水线存储, 以便于运动检测器和边缘检测器开窗口处理数据. 降噪因子 k 的选择: 噪声水平越高, k 越小; 视频图像中运动部分越激烈, k 越大; 检测到图像边缘细节信息时对色度处理的 k 越小. 由实验可知, 图像静止部分 k 的选择范围一般为 0.1~0.5, 运动部分 k 的选择范围为 0.5~0.8, 对亮度、色度分开处理, 其 k 的选择有所不同, 从而达到对不同视频场景进行自适应的降噪和消色串处理, 大幅度提升了电视画面的品质.

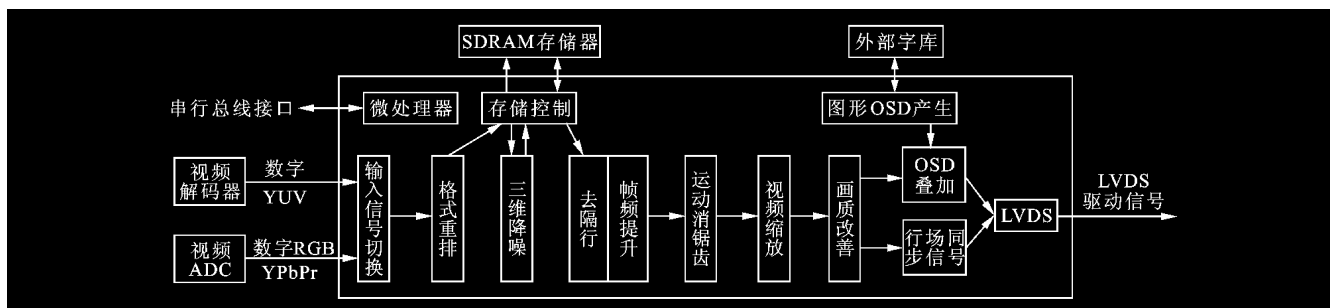


图1 DTV100 芯片结构框图

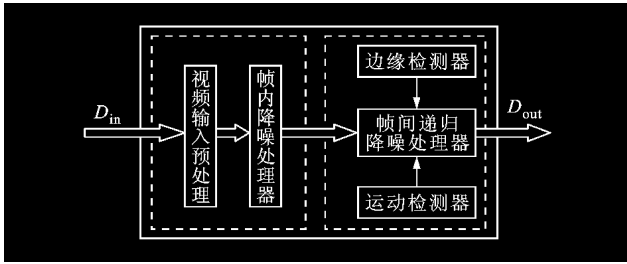


图2 数字视频降噪处理器原理框图

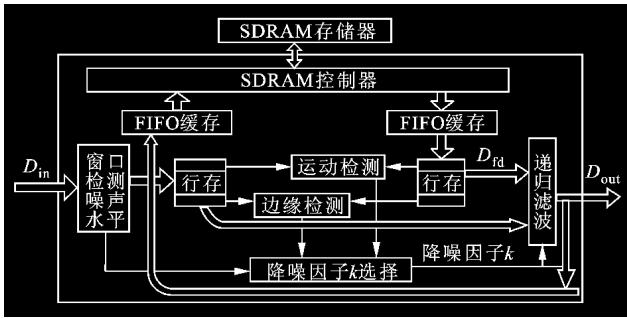


图3 三维自适应降噪硬件实现框图

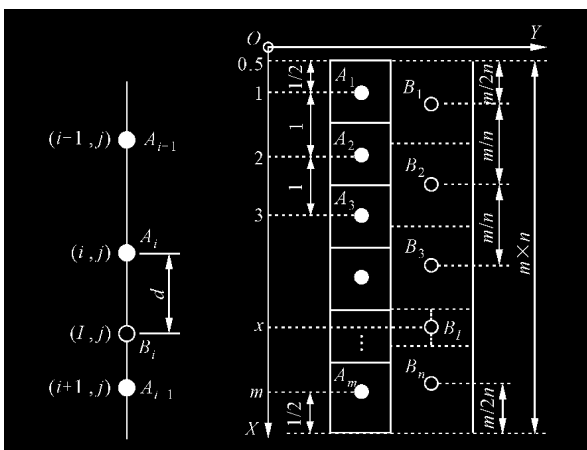
2.2 视频缩放技术

为解决输入图像在不同分辨率下无失真显示的问题,提出一种基于双线性插值算法的硬件结构方法来实现输入图像不同大小的缩放。一维双线性插值算法的公式^[10]如下

$$V(I, j) = (1-d)V(i, j) + dV(i+1, j) = V(i, j) + d(V(i+1, j) - V(i, j)) \quad (2)$$

式中: $V(i, j)$ 为 (i, j) 点的像素值; d 为 (I, j) 点和 (i, j) 点之间的垂直距离。

图4为双线性插值算法示意图。



(a) d 值表示 (b)插值计算过程

A_i :原图像A上的点; B_i :缩放后图像B上的点;
 d : B_i 与 A_i 点之间的垂直距离; m/n :缩放因子

图4 双线性插值算法示意图

式(2)中 i 与 d 值的确定:设垂直缩放因子为

m/n ,如图4b所示,截取原图像A和缩放后图像B中某一列的一部分,插值计算以A的 m 个点(即B的 n 个点)为一个循环。在原图像A中建立一个坐标系 XOY ,设A的像素格点边长为1,则B的像素格点边长为 m/n 。位于两端的像素点 A_1, A_m 和 B_1, B_n 距离边缘分别为 $1/2$ 和 $m/2n$,则 B_i 在原图像A中的坐标为

$$x = \frac{m}{2n} + (I-1) \frac{m}{n} + 0.5 = \frac{m}{n}(I-0.5) + 0.5 \quad (3)$$

将 x 取整后,得到 B_i 对应的原图像A中 A_i 点的坐标值

$$i = \text{int}(x) \quad (4)$$

式中: $\text{int}(\cdot)$ 为取整运算。 B_i 与 A_i 在坐标系中的垂直距离为

$$d = x - i = x - \text{int}(x) \quad (5)$$

该算法的硬件实现框图见图5。写控制模块的控制按行(垂直缩放)或点(水平缩放)顺序写入SRAM或FIFO的数据(原图像A),每8行或8点为一个循环。缩放比例映射模块由输入行场及缩放比例等参数计算插值公式中的 i 值和 d 值,产生输出数据有效信号,控制读地址的产生及下一单元的数据写入。读控制模块,控制SRAM或FIFO中数据的读出,根据数据有效信号产生读地址,将当前插值计算所需的2个数据 $V(i, j)$ 和 $V(i+1, j)$ 并行读出。插值计算模块,由缩放比例映射模块输出的 d 值和读控制模块输出的数据,根据式(2)进行插值计算,得到缩放后的图像B。

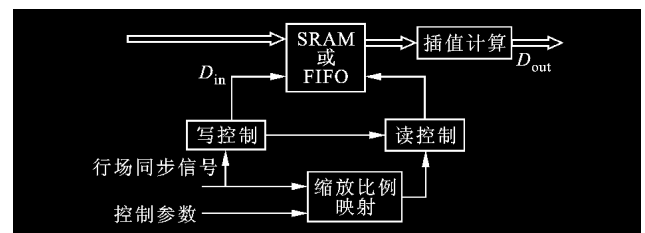


图5 双线性插值算法的硬件实现框图

3 芯片验证与实现

3.1 芯片设计流程

DTV100芯片采用自上而下的ASIC设计流程(见图6),其中前端设计流程,包括芯片系统规格书制定、子模块算法仿真与硬件实现、联合仿真、FPGA验证、ASIC综合以及时序验证,并输出门级网表和约束时序信息给后端设计;后端设计流程,包括

布局布线、版图设计优化与验证、后仿真,最终输出GDSII文件格式的版图给芯片制造厂加工制造。

3.2 ASIC 实现

DTV100 芯片在中芯国际(SMIC)采用 $0.25\ \mu\text{m}$ CMOS 工艺一次流片成功,其版图面积为 $16.1\ \text{mm}^2$,逻辑电路门数达到 100 万门,功耗为

0.9 W,封装采用 PQFP208 技术。经实测,该芯片系统工作时钟最高可达 120 MHz,能够支持标清、高清、计算机信号的处理,并达到预期的功能技术指标。表 1 为该芯片与其他同类芯片的关键性能指标比较(表格内容由长虹、TCL 彩电厂商进行芯片功能评测得出),从表1可知,DTV100芯片在画面清

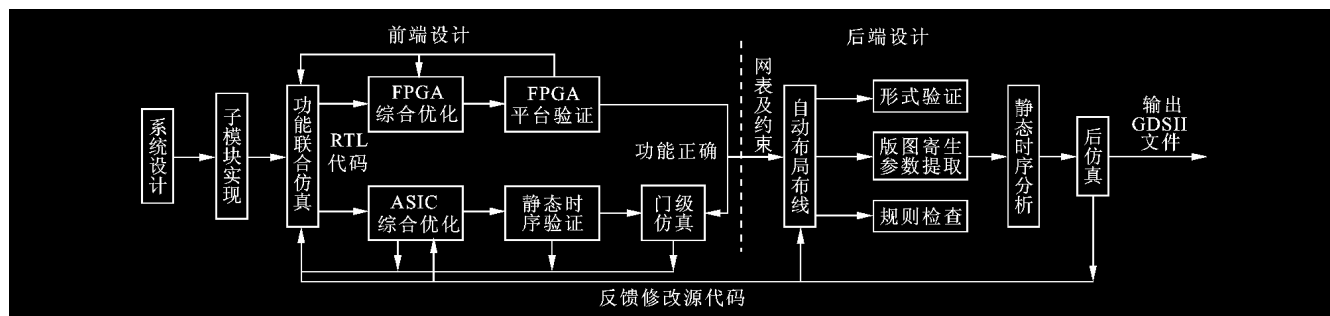


图6 ASIC设计流程

表1 数字视频后处理芯片的关键性能指标比较

研制单位	芯片型号	画面清晰度	运动补偿	消锯齿	消除色串	降噪能力	色纯度	视频缩放	电影模式处理	特定画面处理	HDTV Ready	单片价格/美元	性价比
西安交大	DTV100	优	优	优	优	优	良	优	优	优	支持	4.5	优
美国 Genesis	S2300	中	优	优	优	中	良	良	优	优	支持	12	良
美国 Trident	SVP-EX	良	良	中	中	中	优	中	良	中	支持	12	中
美国 Pixelworks	PW1239	中	良	中	中	优	良	良	良	中	支持	10	良
中国台湾华亚	HTV110	中	中	差	中	中	良	中	差	差	支持	6.5	良



(a)原始视频帧图像



(b)高斯噪声污染视频帧图像



(c)三维自适应降噪结果($k=0.8$)



(d)三维自适应降噪结果($k=0.1$)

图7 DTV100 芯片基于不同降噪因子的降噪效果对比

晰度、运动补偿、消锯齿能力、视频缩放、性价比等关键性能指标方面具有一定的优势,可替代国外同类芯片应用于彩电等领域。图7为该芯片去除PAL/NTSC视频信号中高斯噪声不同降噪因子 k 的降噪效果对比,结果表明DTV100芯片的三维自适应降噪功能正常。图8为DTV100芯片的版图。

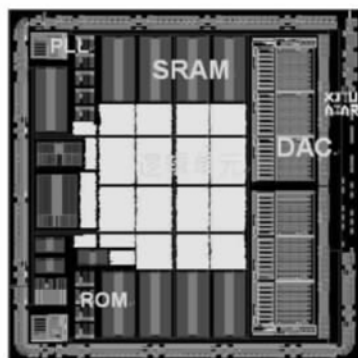


图8 DTV100 芯片版图

4 结 论

本文针对当前平板显示器件核心技术突破的需求,设计实现了一款具有商业应用价值的平板电视数字视频后处理芯片DTV100,并提出了该芯片的结构和技术指标,详细描述了三维自适应降噪算法和基于双线性插值的视频缩放算法的硬件实现方法。依照规范的芯片设计流程,采用 $0.25\mu\text{m}$ CMOS工艺进行ASIC实现。与同类芯片的比较和三维降噪功能的测试表明,该芯片性价比高,具有结构简单、硬件资源开支少、性能稳定的特点,达到了预期的技术指标。

参考文献:

- [1] 信息产业部、国家发改委及国务院发展研究中心联合调研组. 国内平板显示器件产业发展情况的调研报告[R]. 北京:信息产业部,2007: 5-8.
- [2] 张光烈,郑南宁,吴勇,等. 面向格式转换的数字视频处理方法及其硬件实现[J]. 中国工程科学,2001,3(6): 41-47.
- [3] 海信集团有限公司. 海信发布自主研发彩电“中国芯”[EB/OL]. (2005-06-29)[2008-01-25]. <http://tech.sina.com.cn/it/2005-06-29/0900648672.shtml>.
- [4] 海信集团有限公司. 海信“信芯”二代研制成功亮相美国电子展[EB/OL]. (2007-01-11)[2008-01-25]. http://www2.sdnews.com.cn/news/caijing/2007-1/11_436328.html.
- [5] 王朋,赵建伟,刘重庆. 一种基于中值滤波的运动补偿去隔行算法[J]. 上海交通大学学报,2003,37(6): 857-861.
- [6] 赵建伟,古雪丰,王朋,等. 加权自适应的去隔行算法[J]. 上海交通大学学报,2003,37(3): 376-379.
- [7] ZHAO Jianwei, GU Xuefeng, Wang Peng, et al. A weighted adaptive de-interlacing method[J]. Journal of Shanghai Jiaotong University, 2003,37(3): 376-379.
- [8] de HAAN G, BELLERS E B. Deinterlacing-an overview[J]. Proceeding of the IEEE, 1998, 86(9): 1839-1857.
- [9] CASTAGNO R, HAAVISTO P, RAMPONI G. A method for motion adaptive frame rate up conversion[J]. IEEE Transactions on Circuits and Systems for Video Technology, 1996, 6(5): 436-446.
- [10] 西安交通大学 SoC 设计中心. 数字视频后处理芯片DTV100 数据手册[M]. 西安:西安交通大学 SoC 设计中心,2007: 2-6.
- [11] 刘根树. 数字视频降噪处理器研究与设计[D]. 西安:西安交通大学电子与信息工程学院,2007.
- [12] 尹擎. 数字视频图像缩放 IP 核的设计与验证[D]. 西安:西安交通大学电子与信息工程学院,2006.

(编辑 刘杨)